

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-261232

(43)Date of publication of application : 13.09.2002

(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 2001-056354

(71)Applicant : HITACHI LTD
HITACHI CAR ENG CO LTD

(22)Date of filing : 01.03.2001

(72)Inventor : AKIBA TOSHIHIKO
UCHIYAMA KAORU
ASANO MASAHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a semiconductor device for which the response speed and mounting ratio are capable of being improved, and of cost reduction.

SOLUTION: Electrodes 3 for bump connection are arranged on a wiring board 1 and a semiconductor device 2, or on both surface of a wiring board 1 side and the opposite surface of the semiconductor device 2, which is sandwiched by two semiconductor devices 2. A part or the whole of electrodes 3, formed on one surface, is electrically connected with the electrodes 3 arranged on the other surface. Through-holes 5 are formed, or rewirings 6 which pass a side surface are formed on the semiconductor device 2. As another way, wirings included in resin tapes 7 are formed, or bonding wires 8 are formed. A plurality of the semiconductor devices 2 are laminated by using bump connection, so that the mounting area is made smaller than the total area of the semiconductor devices 2. Connection distance between the semiconductor devices 2 can be significantly reduced, and response speed can be increased by a large amount.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-261232

(P2002-261232A)

(43)公開日 平成14年9月13日(2002.9.13)

(51)Int.Cl.
H 01 L 25/065
25/07
25/18

識別記号

F I
H 01 L 25/08

マーク(参考)
Z

審査請求 未請求 請求項の数14 O.L (全 8 頁)

(21)出願番号 特願2001-56354(P2001-56354)

(22)出願日 平成13年3月1日(2001.3.1)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000232999
株式会社日立力ーエンジニアリング
茨城県ひたちなか市高塙2477番地

(72)発明者 秋葉 俊彦
茨城県ひたちなか市大字高塙2520番地 株式会社日立製作所自動車機器グループ内

(74)代理人 100077816
弁理士 春日 譲

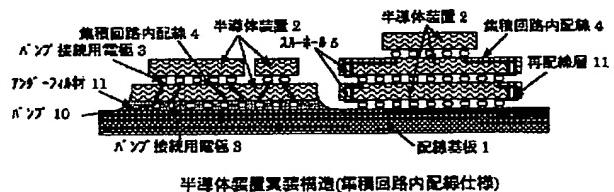
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】応答速度及び実装率を向上できるとともに、低価格化が可能な半導体装置を実現する。

【解決手段】配線基板1と半導体装置2、または2つの半導体装置2に挟まれた半導体装置2の配線基板1側の面とその反対側の面との双方にバンプ接続用電極3を有し、そのうち一方の面に形成された一部又は全部のバンプ接続用電極3がもう一方の面に設けられたバンプ接続用電極3に電気的に接続される。半導体装置2に、スルーホール5の形成するか、側面を経由する再配線6を形成する。または、樹脂テープ7に内蔵された配線を形成するか、ボンディングワイヤ8を形成する。複数の半導体装置2をバンプ接続にて積層することで、半導体装置2の総面積よりも小の実装面積となる。また、半導体装置2間の接続距離を飛躍的に短縮でき、応答速度も大幅に向上できる。



【特許請求の範囲】

【請求項1】配線基板上に2段以上積載され、配線基板と半導体装置、または2つの半導体装置に挟まれる半導体装置において、

上記挟まれた半導体装置の配線基板側の面とその反対側の面との双方にバンプ接続用電極が形成され、そのうち一方の面に形成された一部もしくは全部の上記バンプ接続用電極が、他方の面に設けられたバンプ接続用電極に電気的に接続されることを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、この半導体装置は集積回路を有し、上記バンプ接続用電極間の電気的接続が、上記集積回路内にて行われていることを特徴とする半導体装置。

【請求項3】請求項1記載の半導体装置において、半導体装置の外周面付近もしくは中心部付近に、電極パッドを有し、上記半導体装置の少なくとも一方の面に形成されたバンプ接続用電極が、その電極パッドを介して、他方の面に設けられたバンプ接続用電極に電気的に接続され、上記集積回路を半導体装置の中心部に集約させ、バンプに及ぼす熱応力を低減させることを特徴とする半導体装置。

【請求項4】請求項3記載の半導体装置において、半導体装置のバンプ接続用電極と外周部付近もしくは中心部付近の電極パッドが、半導体装置に形成された集積回路内で電気的に接続されることを特徴とする半導体装置。

【請求項5】請求項3記載の半導体装置において、半導体装置の少なくとも一方の面に形成された外周部付近もしくは中心部付近の電極パッドが、他方の面に設けられた電極パッドに集積回路内で電気的に接続されることを特徴とする半導体装置。

【請求項6】請求項3記載の半導体装置において、半導体装置のバンプ接続用電極と外周部付近もしくは中心部付近の電極パッドが、半導体素子表面にP I、メタル配線等を形成する薄膜再配列配線技術により電気的に接続されることを特徴とする半導体装置。

【請求項7】請求項1記載の半導体装置において、上記挟まれた半導体装置の配線基板側の面に形成された一部もしくは全部の上記バンプ接続用電極とその反対側の面に設けられたバンプ接続用電極間を電気的に接続するために、半導体装置にスルーホールを設けることを特徴とする半導体装置。

【請求項8】請求項7記載の半導体装置において、上記スルーホールに充填剤を充填したことを特徴とする半導体装置。

【請求項9】請求項7記載の半導体装置において、上記スルーホール上に電極を有することを特徴とする半導体装置。

【請求項10】請求項7記載の半導体装置において、上記スルーホールの端面から $10\mu m$ 以上の無集積回路部を設けたことを特徴とする半導体装置。

【請求項11】請求項7記載の半導体装置において、レーザビーム、ドリル、ウォータージェットの少なくとも1つを用い、上記スルーホールを形成することを特徴とする半導体装置。

【請求項12】請求項1記載の半導体装置において、上記挟まれた半導体装置の配線基板側の面に形成された一部もしくは全部の上記バンプ接続用電極と、その反対側の面に設けられたバンプ接続用電極間を電気的に接続するため、上記電極から半導体装置の側面を経由する再配線、樹脂テープに内蔵された配線、又は、ボンディングワイヤの少なくとも1つを用いることを特徴とする半導体装置。

【請求項13】請求項12記載の半導体装置において、半導体装置の側面に設けた配線を保護する樹脂封止を有することを特徴とする半導体装置。

【請求項14】請求項1記載の半導体装置において、バンプ接続用電極もしくは配線を保護するため、半導体装置表面に保護膜または保護テープを備えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に係わり、特に、高密度三次元実装に適した半導体装置に関する。

【0002】

【従来の技術】携帯電話等に付加価値や容量増大のため、1つのパッケージ内に複数の半導体装置を搭載したMCM（マルチチップモジュール）がある。

【0003】従来は、複数個の半導体装置を並べて配列するため、搭載する半導体装置の総面積よりも小型のパッケージ製作は不可能であった。その解決策として、複数個の半導体装置を積層させることにより、高密度実装を確立する構造パッケージ（以下、「スタックトドパッケージ」という）がある。

【0004】

【発明が解決しようとする課題】しかし、従来技術におけるスタックトドパッケージでは、半導体装置間は、一旦、ボンディングワイヤとインターポーラ等の配線を介して接続されているため、半導体装置間の応答速度に限界があった。

【0005】さらに、スタックトドパッケージは、通常、半導体メーカーにてワイヤーボンディング、樹脂モールド等のパッケージングがなされるため、複数スペックのスタックトドパッケージを必要とするとき、半導体メーカー側の少量他品種生産により高価格となる。

【0006】本発明の目的は、応答速度及び実装率を向上できるとともに、低価格化が可能な半導体装置を実現することである。

【0007】

【課題を解決するための手段】上記目的を達成するた

め、本発明は次のように構成される。

(1) 配線基板上に2段以上積載され、配線基板と半導体装置、または2つの半導体装置に挟まれる半導体装置において、上記挟まれた半導体装置の配線基板側の面とその反対側の面との双方にバンプ接続用電極が形成され、そのうち一方の面に形成された一部もしくは全部の上記バンプ接続用電極が、他方の面上に設けられたバンプ接続用電極に電気的に接続される。

【0008】(2) 好ましくは、上記(1)において、この半導体装置は集積回路を有し、上記バンプ接続用電極間の電気的接続が、上記集積回路内にて行われている。

【0009】(3) また、好ましくは、上記(1)において、半導体装置の外周面付近もしくは中心部付近に、電極パッドを有し、上記半導体装置の少なくとも一方の面に形成されたバンプ接続用電極が、その電極パッドを介して、他方の面上に設けられたバンプ接続用電極に電気的に接続され、上記集積回路を半導体装置の中心部に集約させ、バンプに及ぼす熱応力を低減させる。

【0010】(4) また、好ましくは、上記(3)において、半導体装置のバンプ接続用電極と外周部付近もしくは中心部付近の電極パッドが、半導体装置に形成された集積回路内で電気的に接続される。

【0011】(5) また、好ましくは、上記(3)において、半導体装置の少なくとも一方の面上に形成された外周部付近もしくは中心部付近の電極パッドが、他方の面上に設けられた電極パッドに集積回路内で電気的に接続される。

【0012】(6) また、好ましくは、上記(3)において、半導体装置のバンプ接続用電極と外周部付近もしくは中心部付近の電極パッドが、半導体素子表面にP-I、メタル配線等を形成する薄膜再配列配線技術により電気的に接続される。

【0013】(7) また、好ましくは、上記(1)において、上記挟まれた半導体装置の配線基板側の面上に形成された一部もしくは全部の上記バンプ接続用電極とその反対側の面上に設けられたバンプ接続用電極間を電気的に接続するために、半導体装置にスルーホールを設ける。

【0014】(8) また、好ましくは、上記(7)において、上記スルーホールに充填剤を充填する。

【0015】(9) また、好ましくは、上記(7)において、上記スルーホール上面に電極を有する。

【0016】(10) また、好ましくは、上記(7)において、上記スルーホールの端面から $10\mu m$ 以上の無集積回路部を設ける。

【0017】(11) また、好ましくは、上記(7)において、レーザビーム、ドリル、ウォータージェットの少なくとも1つを用い、上記スルーホールを形成する。

【0018】(12) また、好ましくは、上記(1)において、上記挟まれた半導体装置の配線基板側の面上に形

成された一部もしくは全部の上記バンプ接続用電極と、その反対側の面上に設けられたバンプ接続用電極間を電気的に接続するため、上記電極から半導体装置の側面を経由する再配線、樹脂テープに内蔵された配線、又は、ボンディングワイヤの少なくとも1つを用いる。

【0019】(13) また、好ましくは、上記(12)において、半導体装置の側面に設けた配線を保護する樹脂封止を有する。

【0020】(14) また、好ましくは、上記(1)において、バンプ接続用電極もしくは配線を保護するための、半導体装置表面に保護膜または保護テープを備える。

【0021】本発明の半導体装置は、挟む側の配線基板もしくは半導体装置とそれぞれバンプを介して電気的に接続される。

【0022】従来の半導体装置は、2面以上の面上にバンプ接続用電極を備えていない。そこで、上記挟まれた半導体装置の挟まれた2面にバンプ接続用電極を形成し、その2面間のバンプ接続用電極同士を電気的に接続する。

【0023】上記の接続に際し、集積回路内あるいは集積回路外にて接続を行う。集積回路外にて電気的接続を行う方法として、シリコンウェハあるいは半導体装置単体状態時に、レーザビーム、ドリル、ウォータージェット等を利用してスルーホールを形成し、上記2面間を接続する配線を設ける。

【0024】あるいは、上記挟まれた半導体装置の側面を利用し、再配線、配線が内蔵されたテープ、またはワイヤーボンディングを行い、上記2面に設けられたバンプ接続用電極同志を電気的に接続する。

【0025】上述の半導体装置は、スタックドパッケージに必要であった、樹脂モールド、ワイヤーボンディング工程を廃止することができる。これにより、樹脂モールドの変形に伴う半導体装置と樹脂との界面剥離やワイヤー断線が防止される。

【0026】さらに、配線基板(マザーボードもしくはインターボーダ)上に、半導体装置積載のため、半導体装置サイズでの実装が可能になり、飛躍的な実装率向上が可能となる。

【0027】また、半導体メーカーでは、主機能半導体装置と付加機能的半導体装置に絞り、仕様共通化による大量生産が可能となるメリットと、アセンブリメーカーでは、製作時に半導体装置の積載仕様を自由に変更でき、従来技術に比較して、低価格のカスタムMCMの実現が可能となる。

【0028】さらに、実装プロセスも配線基板に複数の半導体装置を一括積層し、一括リフローを可能とする為、パッケージ工程時に発生する電気的接続不良率も減少する。

【0029】機能的には、ワイヤーボンディングを必要

としないパンプ接続による半導体装置の積載は、従来の半導体装置間の接続配線距離が飛躍的に短縮され、積層した半導体装置の機能を配線基板に伝達し得るのみならず、半導体装置間の応答高速化の役割も併せ持つ。

【0030】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施形態を詳細に説明する。図1～図5は、本発明の実施形態である半導体装置2における、三次元実装により高実装率を実現する積層構造を示す図である。

【0031】図1～図5に示すように、配線基板1と積層する半導体装置2は、パンプ10によって電気的に接続される。必要によっては、接続部にアンダーフィル材11の充填を行い、パンプ10の接続強度を強化する。

【0032】図1は、上記半導体装置2の両面に形成されたパンプ接続用電極3同志を配線基板1内にて結線したものと、半導体装置2の外周部付近もしくはある特定位置の電極パッド9とパンプ接続用電極3を配線基板1内にて結線し、その電極パッド9を介して反対面のパンプ接続用電極3に電気的に接続するものを示す。図2～図5は、半導体装置2の外周部付近、もしくは、ある特定位置の電極パッド9と上記挿まれた両面のパンプ接続用電極3を再配線技術により結線したものである。図2に示す例においては、以下の図6及び図7に示す2種類の結線方法により電気的接続が行われている。まず、図6は、半導体装置2にスルーホール5を設け、表裏両面を互いに電気的に導通させ、そのスルーホール5上の引き出しパッド13から電極パッド9を介してパンプ接続用電極3に接続する。次に、図7は、図6におけるスルーホールパッドと電極パッド9とを一体とするパッド・オン・ビア14が形成された構造を示す図である。必要であれば、スルーホール5に充填剤を充填し、ビアパッドを設け、機械的強度を強化したものとする。

【0033】図3、図4、図5、図8、図9、図10は、上記挿まれた両面のパンプ接続用電極3同志を電気的に接続するため、半導体装置2の側面を利用する場合の例を示す図である。図3及び図8は半導体装置2の側面に配線層6を形成する例であり、図4及び図9は半導体装置2の側面に配線が内蔵されたテープ7を装着する例、図5及び図10は半導体装置2の側面にワイヤーボンディング8の後に樹脂モールド15を行った例である。

【0034】以上のように、本発明の実施形態に係る半導体装置2は、配線基板1もしくは半導体装置2に挿まれた両面にパンプ接続用電極3を有する。その挿まれた両面間における少なくとも1組以上の電極同志は結線されている。

【0035】電気的接続方法は、集積回路内にて、配線4にて結線する方法、または集積回路外で配線を設ける方法を用いている。上記のパンプ接続用電極3同志を電気的に接続する方法として、半導体装置2の外周部もし

くはある特定の位置にスルーホール5を形成するか、あるいは、再配線層6、配線が内蔵されたテープ7の装着、ワイヤーボンディング8のいずれかにより、半導体装置2の側面を経由する配線を形成する。

【0036】さらに、必要に応じて、半導体装置2の外周部もしくはある特定の位置の電極パッド9を形成し、パンプ接続用電極3のパッドと配線を行って、その電極パッド9を介して、上記2面間における電極同志の接続を行う。

10 【0037】半導体装置2に形成するスルーホール5は、レーザビーム、ドリル、ウォータージェット等を利用する。集積回路部に影響しないように、集積回路部からある一定距離をもってスルーホール5を形成することとする。

【0038】再配線層6、配線が内蔵されたテープ7の装着、ワイヤーボンディング8は、半導体装置2の製造後の工程として行うものとする。再配線層6においては、配線後、パッシベーション層、配線内蔵テープ装着においてはテープ樹脂の熱硬化、ワイヤーボンディング8においては、樹脂モールド12等を行う。

【0039】また、出荷時のストレス緩和を目的に、一時的あるいは永久的にパンプ接続用電極3の形成面を保護する保護膜または保護テープを設置する。

【0040】

【発明の効果】本発明によれば、半導体装置のパンプ接続による三次元実装を取り入れることで、従来のMCMにおける半導体装置間の接続距離を短縮でき、応答速度を大幅に向かうことができる。

【0041】また、半導体装置の総面積よりも小型のパッケージ製作が可能なことから、大幅な実装率向上が図られる。

【0042】さらに、アセンブリメーカーにてMCMの仕様決定および製作が可能となるため、半導体メーカーの半導体装置生産品種と製作行程の低減、および仕様共通化による大量生産が可能となり、低コスト化、低価格化が可能となる。

【0043】つまり、本発明によれば、応答速度及び実装率を向上できるとともに、低価格化が可能な半導体装置を実現することができる。

40 【図面の簡単な説明】

【図1】本発明の実施形態である半導体装置の集積回路内配線仕様における実装構造を示す図である。

【図2】本発明の実施形態である半導体装置の貫通ビア仕様における実装構造を示す図である。

【図3】本発明の実施形態である半導体装置の側面再配線仕様における実装構造を示す図である。

【図4】本発明の実施形態である半導体装置の配線内蔵テープ仕様における実装構造を示す図である。

【図5】本発明の実施形態である半導体装置のワイヤーボンディング仕様における実装構造を示す図である。

7

【図6】本発明の実施形態である半導体装置の再配線仕様1における構造を示す図である。

3

バンプ接続用電極

4

集積回路内配線

【図7】本発明の実施形態である半導体装置の再配線仕様2における構造を示す図である。

5

スルーホール

6

再配線層

【図8】本発明の実施形態である半導体装置の再配線仕様3における構造を示す図である。

7

配線が内蔵されたテープ

8

ワイヤーボンディング

【図9】本発明の実施形態である半導体装置の配線内蔵テープ仕様における構造を示す図である。

9

電極パッド

10

バンプ

【図10】本発明の実施形態である半導体装置のワイヤーボンディング仕様における構造を示す図である。

11

アンダーフィル材

12

樹脂モールド

【符号の説明】

13

引き出しパッド

1 配線基板

14

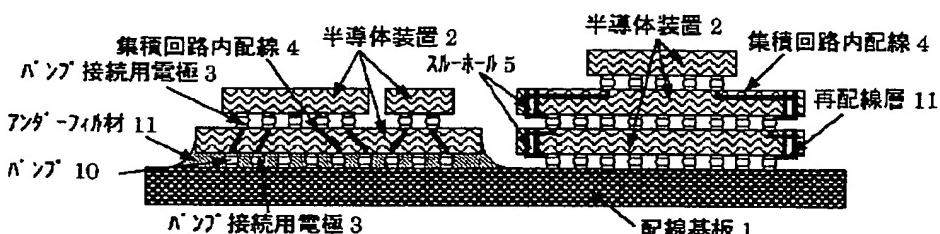
パッド・オン・ビア

2 半導体装置

15

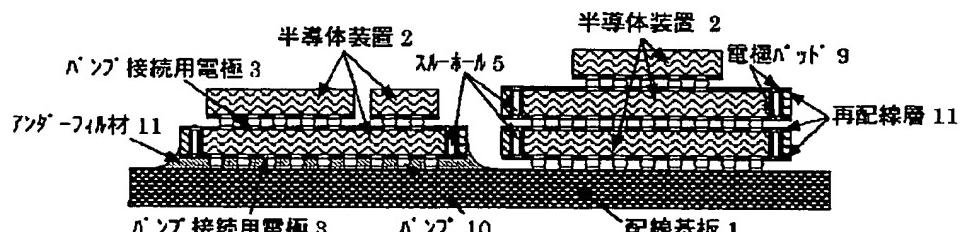
樹脂モールド

【図1】



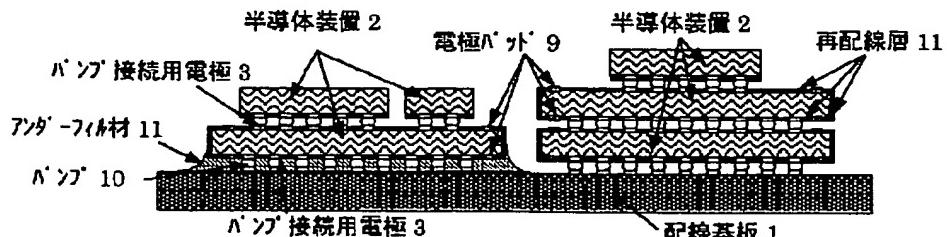
半導体装置実装構造(集積回路内配線仕様)

【図2】



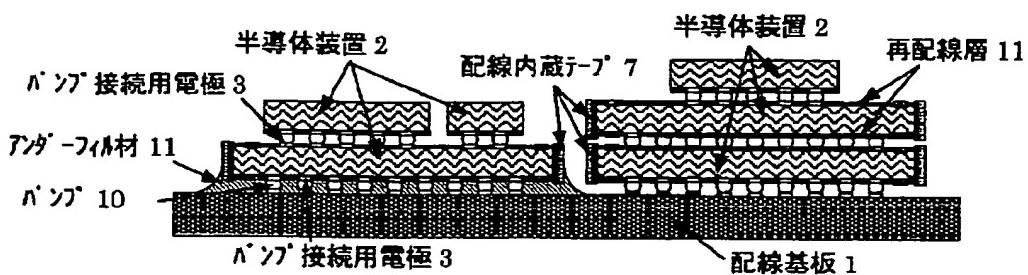
半導体装置実装構造(貫通ヒーリング仕様)

【図3】



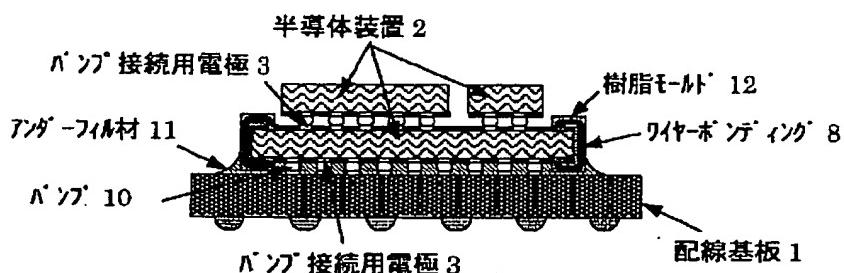
半導体装置実装構造(側面再配線仕様)

【図4】



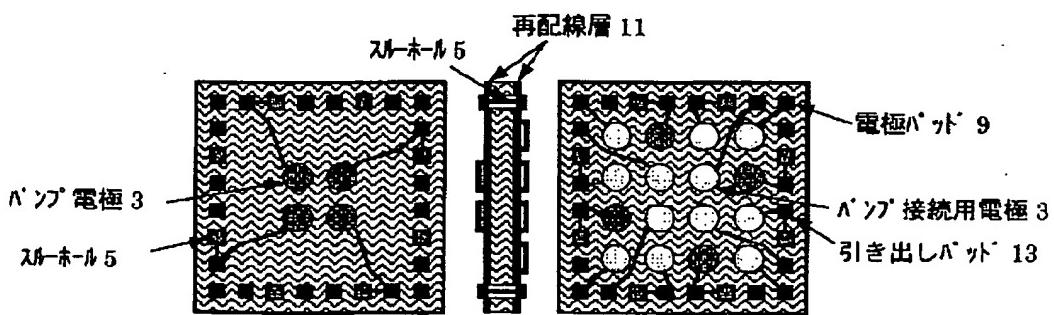
半導体装置実装構造(配線内蔵テープ仕様)

【図5】



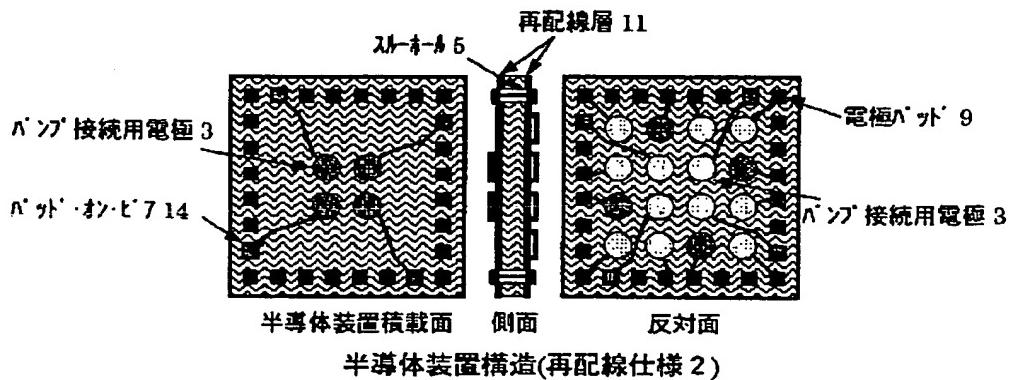
半導体装置実装構造(ワイヤーボンディング仕様)

【図6】

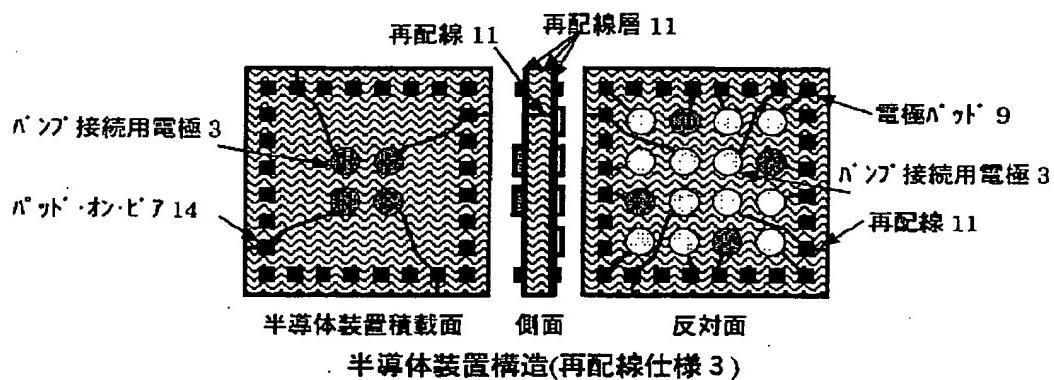


半導体装置構造(再配線仕様1)

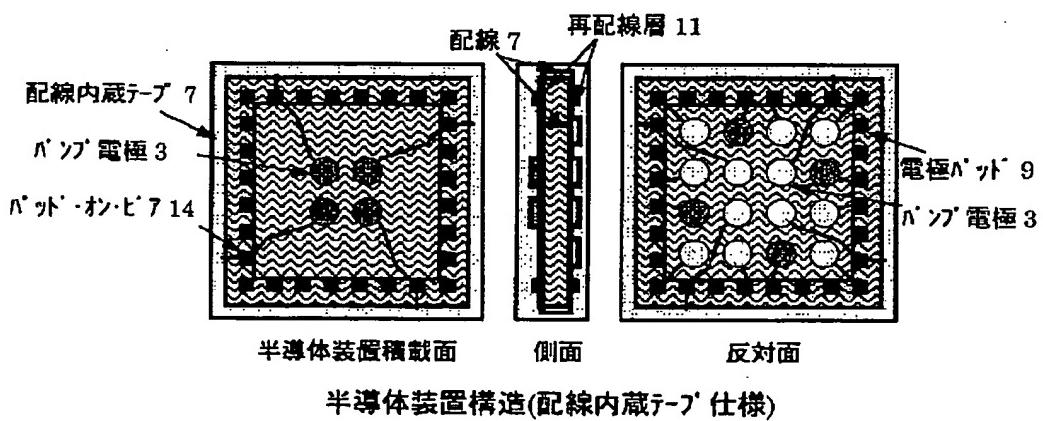
【図7】



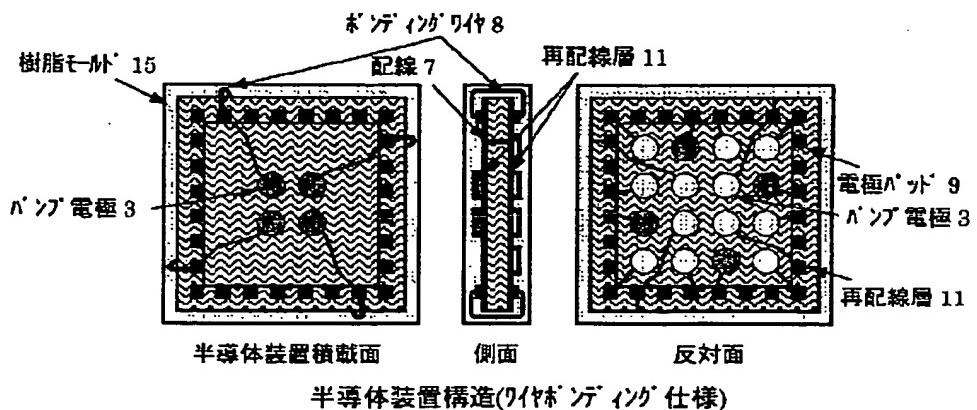
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 内山 薫

茨城県ひたちなか市大字高場2520番地 株
式会社日立製作所自動車機器グループ内

(72)発明者 浅野 雅彦

茨城県ひたちなか市高場2477番地 株式会
社日立カーエンジニアリング内

BEST AVAILABLE COPY